

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

05271544

SPATIAL LIGHT MODULATOR WITH REDUCED POSSIBILITY OF FLAW IN  
ON-STATE

PUB. NO.: **08-227044** [JP 8227044 A]

PUBLISHED: September 03, 1996 (19960903)

INVENTOR(s): ROHITSUTO ERU BUUBA

APPLICANT(s): TEXAS INSTR INC <TI> [000741] (A Non-Japanese Company or  
Corporation), US (United States of America)

APPL. NO.: 07-311114 [JP 95311114]

FILED: November 29, 1995 (19951129)

PRIORITY: 7-346,812 [US 346812-1994], US (United States of America),  
November 30, 1994 (19941130)

INTL CLASS: [6] G02B-026/08; H04N-005/74; H04N-009/31

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 44.6  
(COMMUNICATION -- Television)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R097 (ELECTRONIC  
MATERIALS -- Metal Oxide Semiconductors, MOS)

DIALOG(R)File 352:Derwent WPI  
(c) 2001 Derwent Info Ltd. All rts. reserv.

010764842      \*\*Image available\*\*

WPI Acc No: 1996-261796/199627

XRPX Acc No: N96-220195

**Spatial light modulator pixel control circuitry - has data carrying conductors loaded with voltage associated with off state before loading of memory cell and biasing mirror**

Patent Assignee: TEXAS INSTR INC (TEXI )

Inventor: BHUVA R L

Number of Countries: 008    Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 715199	A2	19960605	EP 95118856	A	19951130	199627 B
<b>JP 8227044</b>	A	19960903	JP 95311114	A	19951129	199645
US 5610624	A	19970311	US 94346812	A	19941130	199716
TW 303447	A	19970421	TW 95112463	A	19951123	199729

Priority Applications (No Type Date): US 94346812 A 19941130

Cited Patents: No-SR.Pub

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
EP 715199	A2	E	7	G02B-026/08	
Designated States (Regional): DE FR GB IT NL					
<b>JP 8227044</b>	A		7	G02B-026/08	
US 5610624	A		7	G09G-003/34	
TW 303447	A			G09G-003/32	

**Abstract (Basic):** EP 715199 A

A spatial light modulator (10) has control circuitry (40,42,44,46) which ensures that shorts (70,72) between some of the circuitry result in "off" state defects. Sets of pixel elements (11) share a memory cell (12), each pixel element in a set is switched on or off by a reset line (13) that is separate from that of the other pixel elements in that set. A pair of address electrode etches (44,46) are separated from each other and straddle a pair of data carrying etches (40,42). A zero is loaded into the data etches when not loading the memory cell, so that a short between the address electrode etches and the data etches will result in an "off" state pixel defect upon a reset pulse.

**USE/ADVANTAGE** - in deformable mirror devices. Maximises acceptable defect yield.

Dwg.4/4

Title Terms: SPACE; LIGHT; MODULATE; PIXEL; CONTROL; CIRCUIT; DATA; CARRY;  
CONDUCTOR; LOAD; VOLTAGE; ASSOCIATE; STATE; LOAD; MEMORY; CELL; BIAS;  
MIRROR

Derwent Class: P81; P85; T01; V07; W04

International Patent Class (Main): G02B-026/08; G09G-003/32; G09G-003/34

International Patent Class (Additional): G09F-009/37; H04N-005/74; H04N-009/31

File Segment: EPI; EngPI

(19)日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-227044

(43)公開日 平成8年(1996)9月3日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 B 26/08			G 0 2 B 26/08	E
H 0 4 N 5/74			H 0 4 N 5/74	B
// H 0 4 N 9/31			9/31	B

審査請求 未請求 請求項の数 1 O L (全 7 頁)

(21)出願番号 特願平7-311114

(22)出願日 平成7年(1995)11月29日

(31)優先権主張番号 3 4 6 8 1 2

(32)優先日 1994年11月30日

(33)優先権主張国 米国 (U S)

(71)出願人 590000879

テキサス インスツルメンツ インコーポ  
レイテツドアメリカ合衆国テキサス州ダラス, ノース  
セントラルエクスプレスウェイ 13500

(72)発明者 ロヒット エル. ブーバ

アメリカ合衆国テキサス州プラノ, ブルッ  
クヘブン ドライブ 5832

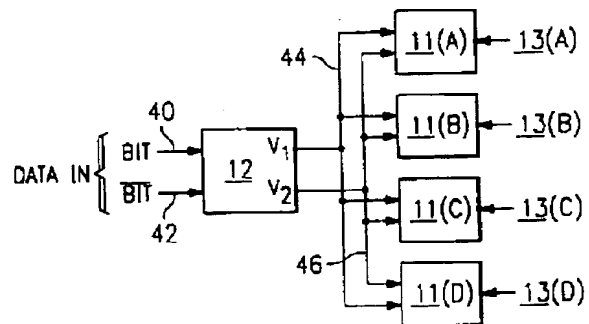
(74)代理人 弁理士 浅村 皓 (外2名)

(54)【発明の名称】 オン状態における欠陥の可能性を減少させた空間光変調器

## (57)【要約】

【課題】 回路のいずれかの間の短絡 (70、72) を『オフ』状態の欠陥となるようにする制御回路 (40、42、44、46) を備えた空間光変調器を提供する。

【解決手段】 絵素 (11) の組がメモリーセル (12) を共有し、組中の各絵素 (11) が、その組中の他の絵素 (11) のリセットラインからは分離したりリセットラインによって、オンまたはオフ状態に切り替えられる。1対のアドレス電極エッチ (44、46) が互いに分離され、1対のデータ保持エッチ (40、42) をまたぐ形をしている。アドレス電極エッチとデータエッチ間の短絡がリセットパルスに対し『オフ』状態絵素欠陥となるように、メモリーセル (12) に負荷を与えてない時にゼロがデータエッチ (40、42) に負荷として与えられる。



## 【特許請求の範囲】

【請求項1】個々の表示セルの配列、

前記表示セルの各々に関連するメモリーセル、  
1対のアドレス電極が機能的に前記表示セルの各々に結合されている、複数のアドレス電極対、  
相互に隣接して延在し前記メモリーセルに結合された1対のデータライン、および前記データラインによって相互に分離された1対の電極ラインであって、前記電極ラインは前記メモリーセルに結合されそして少なくとも1つの前記アドレス電極の対に結合されている、前記の1対の電極ラインを有する空間光変調器。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は変形可能なミラー素子(DMD)として特に知られた空間光変調器(SLMs)に関し、さらに詳細には、回路エッチが短縮される場合に、『オン』欠陥ではなく、むしろ『オフ』欠陥の発生度を増加させる絵素制御回路に関する。

【0002】

【従来の技術】空間光変調器(SLMs)は、電気的または光学的入力に対応する空間パターンの入射光を変調する素子である。入射光は、その位相、強度、極性または方向性が変調される。光変調は、種々の電気光学的または磁気光学的効果を示す各種の材料によって、および表面変形による光の変調を行う材料によって、達成される。SLMsは、光学的情報処理、投影表示および静電印刷の領域において多くの応用が見いだされている。本発明の出願人と同一の譲受人に譲渡されたHornbeckの米国特許第5,061,049号『空間光変調器およびその方法』、Demond et alの米国特許第5,079,544号『標準的独立デジタルビデオシステム』およびNelsonの米国特許第5,105,369号『プリントシステム露光モジュールアライメント方法およびその製造方法』の教示が本発明の明細書に引用される。

【0003】SLMは、1つの面状または線上配列の各絵素が2つの状態のいずれかを取るようにアドレス可能な偏向可能ビームを有するという点で、2進的である。例えば、絵素が『オフ』で、受信器に光を送らない。逆に、絵素が『オン』で、受信器に最大強度の光を送る。偏向可能なビームミラー素子を備えたそのようなSLMの1つが、デジタルマイクロミラー素子(DMD)として知られている。中間レベルの光を視覚者に認識させるために、各種のパルス幅変調技術が使用できる。その1つの変調技術が、本発明の出願人と同一の譲受人に譲渡された米国特許第5,278,652号『パルス幅変調表示システムに使用されるDMDアーキテクチャおよびタイミング』中に記載されており、その教示が本発明の明細書に引用される。

【0004】現在ある1つのDMD絵素負荷技術は、絵素当たり少なくとも1つのメモリーセルを必要とする。

フレーム当たりの絵素数が増加すると、そのようなSLM素子のメモリー要求により、コストの増加および生産性の減少に帰結する。現在、64x7056の線上配列および1000x2000絵素の面状配列が開発されている。この技術に対する1つの改良は、1つの絵素の組としてグループ化された複数の絵素に対して1つのメモリーを時間多重化することである。この技術は分割リセットとして知られており、そこにおいては、絵素グループの各絵素が個々にリセットされ(アドレスされ)関連するメモリーセルからのデータを選択的にロードしている。1つの実施例においては、4個の絵素が単一のメモリーセルに関連し、それにより、このメモリーセルの内容がこのメモリーセルに関連する絵素の位置を選択的に制御するように使用される。1つのみの絵素が所定の時間に制御され、分割リセットとして知られるこの技術にゆだねられる。この技術に関し、同一出願人の出願08/002,627『空間光変調器用絵素制御回路』を引用し、その教示を本発明の明細書に引用する。

【0005】DMD型配列のこれらのミラーは密に配列され、そして約17ミクロンの幅を有する。したがって、絵素ミラーの下に相対的に位置づけられた関連するアドレスおよび制御回路は、同様に小さい寸法を有する。例えば、半導体SLM中に設けられた回路エッチは1ミクロンの範囲のエッチ幅と約1ミクロンの隣接エッチからの間隔を有する。進歩した半導体処理技術であっても、エッチ間の短絡がしばしば起こり得る。

【0006】

【発明が解決しようとする課題】最小の欠陥と高い歩留まりの半導体素子として知られる堅実な製造技術が実施される一方、半導体素子はまた類似の欠陥を減少させるように設計されねばならないし製造工程中に発生する欠陥に耐えなければならない。

【0007】

【課題を解決するための手段】本発明は充分設計された制御およびアドレス回路エッチを備えたSLMから成る。本発明の技術的利点は、所定の製造欠陥が『オン』ではなく『オフ』の関連する絵素を発生させる事を確保するSLMにある。本発明は、『オン』欠陥よりも『オフ』欠陥のほうが好ましいSLMに使用される。すなわち、投影型テレビのような表示に実施される場合に、視覚者は『オン』欠陥(白色絵素イメージ)よりも『オフ』欠陥(黒色絵素イメージ)をより認識しないだろうし、プリンタに実施した場合には、『オン』欠陥はプリントイメージ中に黒色の線を発生させないであろう。

【0008】データ保持エッチはアドレス電極エッチを跨いでおり、これらのアドレス電極エッチは、DMS素子中のミラーのような関連する偏向可能な素子の偏向を制御する一群のまたは組みのアドレス電極に接続されている。この設計によって、隣接するいずれかのエッチ間で発生する短絡によるアドレス電極エッチ相互の短絡が

発生せず、したがって、データ保持エッチ上のデータに依存して『オフ』または『オン』のいずれかの絵素欠陥を容易に発生させてしまうことが無くなる。

【0009】本発明に従えば、データエッチは、ミラーをバイアスする前に、1つまたはそれ以上の絵素に関連するメモリーセルのローディングの後、『オフ』絵素状態に関連する電圧電位におかれる。これによって、データエッチの何れかと1つのアドレス電極エッチ間にももし短絡が発生すると、短絡した電極エッチに関連するDMDミラーが『オン』状態欠陥ではなく『オフ』状態欠陥を表す。本発明は許容可能な欠陥DMDシリコンの歩留まりを顕著に増加させる。

【0010】

【発明の実施の形態】図1を参照すると、モノリシックSLM配列10の一部のブロック図が示されている。配列10は、関連するメモリーセル12および関連するリセットライン13によって制御される複数の絵素11から成る。図示のため、ほんの少数の絵素11および関連する制御回路が示されている。典型的なSLM配列10は、何百ものそのような素子11、メモリーセル12およびリセットライン13を有する。1000x2000絵素の配列および64x706絵素のリニア配列が開発されている。図1は、時間多重または分割リセットアドレス方式を使用して、各メモリーセルが如何に特定の絵素11グループに対して動作するかを示している。同一出願人の出願08/002,627『空間光変調器用絵素制御回路』を参照し、その教示を本発明の明細書に引用する。各メモリーセル12が4つの絵素11から成る特定の組を制御するように示されているが、各メモリーセル12は、関連する表示の各フレームに対する絵素を適切にアドレスおよび制御するために必要な適当な時間多重制御技術を用いることにより、4つまたはそれ以上の絵素からなるグループを制御することもできる。そして、そのような設計も本発明の範囲内に含まれる。

【0011】説明のために、SLM10はデジタルマイクロミラー素子(DMD)として知られている素子である。DMDは小さいマイクロ機械ミラー素子の稠密配列であり、DMDによって作られた表示の視覚者に対して輝度の変化を認識させ、また記録媒体を露光するためにプリンタに使用される。DMDの1つの例はテキサス州ダラスのテキサスインスツルメンツ社で製作されている。しかしながら、本発明はSLM10用にDMDを使用することに限定されるものではなく、液晶表示装置(LCD)のようなアドレス可能な絵素素子を有する他の種類のSLMと共に使用されてもよい。

【0012】上述の相互引用関係にある時間多重制御方式においては、リセット(アドレス)ライン13は、関連する絵素11がメモリーセル12の内容に従ってその偏向状態を変える時間を制御する。絵素11の偏向状態は、関連するメモリーセル12中に記憶されるデータに

従って、また同時に個々のライン13上のリセット信号に応答して、変わりまたは同一のままに留まる。すなわち、関連するメモリーセル12からそのアドレス電極に供給されるデータが変化すると、絵素11はその現在の偏向状態を保持し、そしてまたライン13にリセット信号を受けると、関連するメモリーセルの役割として次の偏向された状態を取る。

【0013】本発明の説明上、4つの絵素から成る組中の各絵素11が1つのセル12に関連しており、各絵素11が4つのリセットライン13の異なる1つに接続されている。したがって、組中の各絵素11は、そのリセットラインの働きにより、同一組中の他の絵素11とは異なる別の時間に偏向状態を変えることができる。

【0014】図2は4つから成る絵素11の組、それらに関連するメモリーセル12および相關する相互接続を示す。絵素11(A)がリセットライン13(A)に接続されるといったように、各絵素11はリセットライン13の名前で符号付けされている。各絵素11は、関連するメモリーセル12に接続された1対の半導体アドレス電極20および22(図4参照)と関連している。

『1』または『0』いずれかの値が絵素11に送られる。メモリーセル12が切り替えられると、すなわち、その蓄積した値を送るようになると、その値は、メモリーセル12が接続された全ての絵素11のアドレス電極20および22に送られる。しかしながら、絵素11の関連するリセットライン13上の信号は、その絵素11が関連するメモリーセル12の値に従って偏向状態を変えるか維持するかするために必要である。

【0015】図3を参照すると、典型的なDMD型SLM10の信号絵素11の断面図が示されている。空間光変調が、2つの方向のいずれかに傾く反射ミラー31によって与えられている。ミラー31の2つの安定状態が破線で示されている。ミラーの安定状態においては、ミラー31の一端が2つの着地電極32の1つの方向に動く。2つのアドレス電極20および22は、絵素11(図2参照)を含む扇形を備えたメモリーセル12の出力V<sub>1</sub>およびV<sub>2</sub>に接続される。リセット電圧が、導電支持柱(図示せず)を介してリセットライン13に接続された導電ミラーヒンジ34によって導電ミラー31に加えられる。ミラー31の一端が最も大きい電位のアドレス電極に静電的に引きつけられるように、アドレス電極20および22は電位差が加えられるように使用される。ミラー31のリセット電圧は、ミラー31が実際に対応する着地電極32の方向に回転するように1つの電極20または22のいずれかに対して十分に高い電位を有しているか否かを決定する。従って、絵素電極20および22はメモリーセル12を介して『負荷が与えられ』、ミラー31はリセットライン13をバイアスすることによってリセットされる。もしミラー31が、表示スクリーンの方向のような、選択された方向に傾くと、

絵素は光源をそれに向け、『オン』となる。そうでなければ、光が光トラップのような他の方向に向けられ、『オフ』となる。

【0016】図4を参照すると、関連するミラーを除外した4つの絵素11A-11Dの上面図が示されている。1つのメモリーセル12がデータを蓄積し、そして4つの関連絵素のアドレス電極20および22に対してデータを送る。ここで、ミラー31は軸『A』の回りにピボット回転する。図示のように、互いに隣接して平行に伸びた40および42で示す1対の細長いデータまたはビット保持エッチが示されている。エッチ40はBITエッチとして認定され、相補的エッチ42がBIT(バー)エッチとして認定される。またぐ形のデータエッチ40および42は、44および46で示す1対の細長いアドレス電極エッチである。アドレス電極エッチ44はEエッチとして認定され、対抗する相補的アドレス電極エッチ46はE(バー)エッチとして認定される。図示のように、4つの絵素11のグループにたいして、アドレス電極エッチ44は、個々の経路48によって各絵素アドレス電極20に接続され、そしてアドレス電極エッチ46は個々の経路52を介して他の各絵素アドレス電極22に接続される。このように、各アドレス電極エッチ44は各絵素アドレス電極20に電気的に接触しており、また各アドレス電極エッチ46は各絵素アドレス電極22に電気的に接触している。

【0017】メモリーセル12は、図示のMOSトランジスタ62から成る1対のゲートバスを備え、各アドレス電極エッチ44および46間に接続された1対のインバータ60として図示された6個のトランジスタセルである。メモリーセル12は、好ましくは静的ランダムアクセスメモリー(SRAM)であり、その場合、各インバータ60は当業界でよく知られているように1対のMOSトランジスタである。メモリーセル12は、金属層1および2上で作られ、NMOS、PMOSおよびCMOS技術を用いて実現されてもよい。エッチ40、42、44および46の各々は、アドレス電極20および22と共に金属層2上で作られ、また着地パッド32およびバイアスパッド80は金属層3上で作られる。したがって、経路48および52は金属層2および3間に伸びている。

【0018】図4に関して図2を再度参照すると、本願においても引用された同一出願人の出願『空間光変調器用絵素制御回路』においても説明したように、絵素データが、シフトレジスタ(図示せず)からBITラインエッチ40およびBIT(バー)ラインエッチ42を介してメモリーセル12に印加される。書き込みライン64にアドレスしてトランジスタ62を駆動し、そして次に書き込みライン64を停止することによって、データがメモリーセル12に書き込まれ、ビットライン40および42上のデータがSRAMメモリーセル12中にラッ

チされる。メモリーセル12の内容はこのようにしてこの組の絵素11の各アドレス電極20および22に与えられる。

【0019】メモリーセル12の内容は、リセット(アドレス)信号を対応するリセットライン13に与えることにより、選択された絵素11のミラー31を選択的に偏向させるために使用される。もし『1』がメモリーセル12に蓄積されると、+5ボルトのような電位がアドレス電極20の各々に与えられ、アドレス電極22には電位は無い。リセットライン13Aに与えられるリセット信号は、静電氣的吸引によって個々のミラー31をこの電極20の方向に偏向させ、そして『オン』状態を呈する。一方、もしメモリーセル12に『ゼロ』が記憶されると、+5ボルトのような電位がアドレス電極22の各々に与えられる。リセットライン13Aのリセット信号は、ミラー31を各々のアドレス電極22の方向に偏向させ、そして『オフ』状態を呈する。しかしながら、絵素11B、11Cおよび11Dに関連する他のミラー31は、リセット信号が他のリセットライン13B、13Cまたは13Dに与えられていないので、現在の状態を保つ。

【0020】図4に示すように、BITエッチ40および42は相互に平行にそして近接して伸びるように作られる。典型的には、このエッチはそれぞれ2ミクロン幅で、相互に2.2ミクロン間隔があいている。アドレス電極エッチ44および46はこれらのBITエッチ40および42を跨ぐように設計されている。アドレス電極エッチ44および46はまた相互に平行であり、それぞれ約2ミクロン幅で、相互に約2.2ミクロン隣接するBITエッチ40および42と間隔があいている。

【0021】本発明に従えば、BITエッチ40および42を介してシフトレジスタ(図示せず)からメモリーセル12中にデータが適切に負荷された後、BITエッチ40および42は『オフ』状態に負荷される。すなわち、エッチ40および42は、エッチ40が電位を持たず相補的エッチ42が+5ボルトの電位を持つような、あたかもメモリーセル12が『ゼロ』に負荷されたように、負荷される。この構成は、仮想線70で示すような、BITエッチ40とアドレス電極エッチ44間に、または仮想線72で示すような、BIT(バー)エッチ42とアドレス電極エッチ46間に短絡が存在することを予想させる。リセットパルスがリセットライン13A-13Dのいずれかに提供されると、関連するミラー31が、関連するアドレス電極22の方向である『オフ』状態を維持する。それ故、70または72で起こる短絡は、リセットパルスが個々のリセットライン13に与えられると、ミラーを常に『オフ』偏向状態に置く。これは、エッチ42に、それによりアドレス電極22に+5ボルトの電位が存在し、そしてエッチ40に、それによりアドレス電極20に0ボルトの電位が存在し、このよ

7

うにしてメモリーセル12は『ゼロ』に負荷されるからである。

【0022】短絡70および72に関連するミラーは連続的に『オフ』に切り替えられるので、短絡70および72は『致命的』な欠陥であると見なせない。しかしながら、仮想線74で示すような、BITエッチ40と42間の短絡が存在するとするなら、この欠陥は『致命的』と見なせる。なぜならば、ライン13へのリセットパルスによって予測的偏向を実行するために、論理『1』を1つのみのアドレス電極20または他のアドレス電極22に送ることが出来ないからである。このように、リセットパルスの間に、関連するミラー31はいずれかの偏向位置を任意に取る。これは、1つの絵素についての1つのアドレス電極20および他のアドレス電極22からの静電氣的吸引力が他のものよりも強いとは見なせないからである。もちろん、ミラー31は単に平坦状態を維持出来、そしていずれの着地電極32にも偏向しないことが出来る。

【0023】SLM10においては、BITエッチ40と42は垂直方向に伸び、そして絵素11の列にデータを供給する。図1に示すように、絵素のこの列は1つ以上の絵素11の組から成っていてもよい。しかしながら、図1に示すように、アドレス電極エッチ44および46は、示されているような特定の組のアドレス電極20および22の各々の間にのみ延在し、そしてそれぞれ接続されている。着地電極32の対は1対のバイアスパッド80に電氣的に接続されている。これらのパッド80は導電ミラー支持柱(図示せず)に接続されそしてそれを支持している。また、これらの柱は導電ミラーヒンジ82(図3参照)に接続されそしてそれを支持している。このように、リセットライン13によってパッド80に与えられたバイアスは、またこのヒンジおよび柱を介して対応するミラー31に提供される。

【0024】本発明に従えば、時間多重または分割リセットアドレス技術が実行され、それによって隣接するエッチ間に存在するかもしれない短絡による『致命的な』状態欠陥が発生しない。むしろ、これらの欠陥は、70または72で示されるような、短絡に関連する絵素11のグループの『オフ』状態欠陥となるように操作される。メモリーセル11に書き込まない時の『ゼロ』をビットエッチ40および42に負荷として与えるエッチの設計および技術は、この『オフ』状態を確実にする。本発明はDMD型SLMの許容欠陥レベルを増加させる。

【0025】本発明はメモリーセル当たり4つの絵素のグループについて実行されるように説明したが、本発明の範囲は各絵素にたいし1つのメモリーセルも包含し、かつ2つまたはそれ以上の絵素がある場合またはメモリーセル当たり複数グループの絵素がある場合も含み、上述の相互引用した時間多重アドレス法によって制御されてもよい。メモリーセルの種類、電極、エッチおよびパ

8

ッドの寸法にたいする制限をするべきではない。

【0026】本発明は特定の好適実施例について説明されたが、多くの変更、修正が当業者には自明であろう。それゆえ、特許請求の範囲が、先行技術に鑑み、上記のような変更および修正を含むように出来るだけ広く解釈されたものが本発明である。

【0027】以上の説明に関して以下の項を開示する。

(1) 個々の表示セルの配列、前記表示セルの各々に関連するメモリーセル、複数のアドレス電極対であって、その各アドレス電極が機能的に前記表示セルの各々に結合されている、アドレス電極対、相互に隣接して延在し前記メモリーセルに結合された1対のデータライン、および前記データラインによって相互に分離された1対の電極ラインであって、前記電極ラインは前記メモリーセルに結合されそして少なくとも1つの前記アドレス電極の対に結合されている、前記の1対の電極ラインを有する空間光変調器。

【0028】(2) 各々の前記電極ラインが複数の前記アドレス電極対に結合されている、第(1)項記載の空間光変調器。

【0029】(3) 各々の前記表示セルがそれに関連する分離したリセットラインを有している、第(2)項記載の空間光変調器。

【0030】(4) 前記メモリーセルが複数の前記表示セルに関連している、第(1)項記載の空間光変調器。

【0031】(5) 1つのメモリーセル書き込みラインが複数の前記アドレス電極対に関連している、第(4)項記載の空間光変調器。

【0032】(6) 前記アドレス電極対がインバータを介して互いに接続されている、第(1)項記載の空間光変調器。

【0033】(7) 前記アドレス電極対が1対のインバータを介して互いに接続されている、第(1)項記載の空間光変調器。

【0034】(8) 前記メモリーセルがSRAMメモリーセルから成る、第(1)項記載の空間光変調器。

【0035】(9) 前記データラインおよび前記電極ラインがモノリシックである、第(1)項記載の空間光変調器。

【0036】(10) 前記データラインの各々がバスゲートを介して1つの前記電極ラインに接続されている、第(1)項記載の空間光変調器。

【0037】(11) 前記バスゲートがそれぞれ少なくとも1つのトランジスタから成る、第(9)項記載の空間光変調器。

【0038】(12) 前記メモリーセルがCMOS中で実行される、第(1)項記載の空間光変調器。

【0039】(13) 前記メモリーセルがNMOS中で実行される、第(1)項記載の空間光変調器。

【0040】(14) 前記メモリーセルがPMOS中で実行される、第(1)項記載の空間光変調器。

【0041】(15) 前記表示セルがマイクロミラーから成る、第(1)項記載の空間光変調器。

【0042】(16) 1つの前記アドレス電極の対が1つの前記マイクロミラーの下に位置する、第(15)項記載の空間光変調器。

【0043】(17) 空間光変調器は、回路のいくつかの間の短絡70、72が『オフ』状態の欠陥となることを確保する制御回路40、42、44、46を有している。10 絵素11の組がメモリーセル12を共有し、組中の各絵素11が、その組中の他の絵素11のリセットラインからは分離したりセットラインによって、オンまたはオフ状態に切り替えられる。1対のアドレス電極エッチ44、46が互いに分離され、1対のデータ保持エッチ40、42をまたぐ形をしている。アドレス電極エッチとデータエッチ間の短絡がリセットパルスに対し『オフ』状態絵素欠陥となるように、メモリーセル12に負荷を与えてない時にゼロがデータエッチ40、42に負荷として与えられる。

【図面の簡単な説明】

【図1】 絵素のグループに関連するメモリーセルを有するSLM配列の一部のブロック図。

【図2】 4つの絵素の扇形のメモリーセルを示す図。

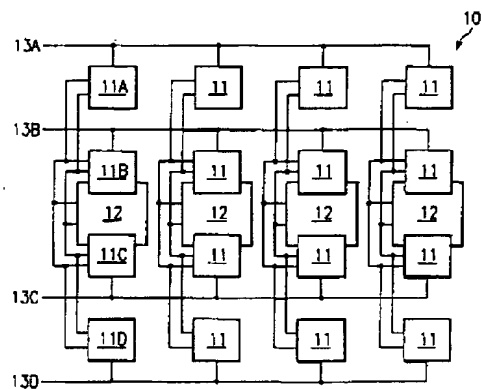
【図3】 DMD型SLMのミラー素子の双安定動作を示す図。

【図4】 制御信号を絵素アドレス電極に通信させるデータまたはビットエッチおよびアドレス電極エッチの1つの設計例を示し、これらのアドレス電極のバイアスが、アドレスされた時に、影で示すように、その上に位置する関連ミラー素子の偏向を決定することを示す図。

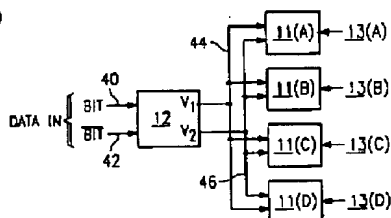
【符号の説明】

- 10 空間光変調器
- 11 絵素
- 12 メモリーセル
- 13 リセットライン
- 20、22 アドレス電極
- 31 反射ミラー
- 40、42 データ保持エッチ
- 44、46 アドレス電極エッチ
- 70、72 短絡

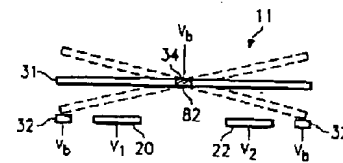
【図1】



【図2】



【図3】





【図4】

